

11011 U.S. PTO  
10/091102  
03/04/02

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

#2 Priority paper  
D. W. Kim  
5-16002

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 :  
Application Number

특허출원 2001년 제 11156 호  
PATENT-2001-0011156

출원년월일 :  
Date of Application

2001년 03월 05일  
MAR 05, 2001

출원인 :  
Applicant(s)

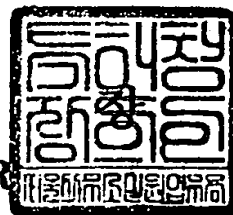
삼성전자 주식회사  
SAMSUNG ELECTRONICS CO., LTD.



2001      07      06  
년      월      일

특      허      청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2001.03.05
【국제특허분류】	H01L
【발명의 명칭】	반도체 메모리 소자 및 그의 제조 방법
【발명의 영문명칭】	Semiconductor memory device and method for manufactuirng the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	양원석
【성명의 영문표기】	YANG, Won Suk
【주민등록번호】	640404-1932511
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 동천리 176-1 풀림아파트 201동 50호
【국적】	KR
【발명자】	
【성명의 국문표기】	송상호
【성명의 영문표기】	SONG, Sang Hoo
【주민등록번호】	740213-1722218

【우편번호】	151-052
【주소】	서울특별시 관악구 봉천2동 봉천동아파트 109동 1004호
【국적】	KR
【발명자】	
【성명의 국문표기】	김기남
【성명의 영문표기】	KIM,Ki Nam
【주민등록번호】	580414-1273118
【우편번호】	431-070
【주소】	경기도 안양시 동안구 평촌동 꿈마을 라이프아파트 108동 502호
【국적】	KR
【발명자】	
【성명의 국문표기】	정홍식
【성명의 영문표기】	JEONG,Hong Sik
【주민등록번호】	620527-1041425
【우편번호】	441-450
【주소】	경기도 수원시 권선구 호매실동 엘지아파트 112동 204호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	25 면 25,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	29 항 1,037,000 원
【합계】	1,091,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

제 1 층간 절연층을 사이에 두고 반도체 기판 상에 형성된 하부 도전층과, 제 2 층간 절연층을 사이에 두고 하부 도전층 상부에 형성된 상부 도전층을 반도체 기판을 통해 연결하는 부분을, 1개 이상의 플러그와 패드로 나눈다. 1개 이상의 플러그는 제 1 층간 절연층 및 제 2 층간 절연층 내에 형성되고, 각각의 플러그의 상부 폭과 하부 폭의 크기의 차이가 심하지 않도록 제 2 층간 절연층을 다수의 서브 층간 절연층으로 나눈다. 그리고 제 2 층간 절연층의 상단부에 형성된 패드는, 자신이 접촉하는 상부 도전층과 인접하는 다른 상부 도전층에는 접촉하지 않을 정도의 폭을 갖도록 구성한다.

**【대표도】**

도 3b

**【명세서】****【발명의 명칭】**

반도체 메모리 소자 및 그의 제조 방법{Semiconductor memory device and method for manufactuirng the same}

**【도면의 간단한 설명】**

도 1은 계층적 구조의 비트 라인을 갖는 반도체 메모리 소자의 개략 회로도의 일예이다.

도 2는 도 1의 반도체 소자의 레이아웃의 일부를 보여주는 도면이다.

도 3a는 도 2의 I-I에 따른 단면을 나타내는 도면이다.

도 3b는 도 2의 II-II에 따른 단면을 나타내는 도면이다.

도 4a 내지 도 4c는 도 3a의 반도체 소자를 제조하는 단계를 보여주는 도면들이다.

도 5는 계층적 구조의 비트 라인을 갖는 반도체 메모리 소자의 개략 회로도의 다른 예이다.

도 6은 도 5의 반도체 소자의 레이아웃의 일부를 보여주는 도면이다.

도 7a는 도 6의 III-III에 따른 단면을 나타내는 도면이다.

도 7b는 도 6의 IV-IV에 따른 단면을 나타내는 도면이다.

도 7c는 도 6의 V-V에 따른 단면을 나타내는 도면이다.

도 8a 내지 도 8c는 도 7b의 반도체 소자를 제조하는 단계를 보여주는 도면들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 메모리 소자 및 그의 제조 방법에 관한 것으로, 특히 하부 도전층과 상부 도전층을 이들 사이에 게재되어 있는 절연층 내에 형성된 플러그를 통해 연결시키는 반도체 메모리 소자 및 그의 제조 방법에 관한 것이다.
- <13> 반도체 메모리 소자의 하부 도전층은 반도체 기판과의 사이에 게재된 층간 절연막 내에 구비된 플러그를 통해 반도체 기판의 활성 영역과 연결되고, 하부 도전층 상부에 형성된 층간 절연막 내에 구비된 플러그를 통해 상부 도전층과 연결된다. 이런 하부 도전층으로 비트 라인이 채용될 경우 대응하는 상부 도전층으로는 금속 배선층이 채용된다. 다른 예로 로컬 비트라인이 하부 도전층으로 채용되면 글로벌 비트 라인이 상부 도전층의 역할을 하게 된다. 한편, 반도체 메모리 소자의 집적도가 증가하면서, 전하 저장 소자인 캐패시터의 캐패시턴스를 증가시키기 위한 각종 연구가 이루어졌으며, 그 중 한 방법이 캐패시터의 유효 면적을 넓히기 위해 캐패시터가 차지하는 높이를 높이게 되었다. 따라서, 반도체 메모리 소자는 하부 도전층 상부에 캐패시터를 형성하는 COB(Capacitor Over Bit line) 구조를 채택하게 되었다. 그리고 하부 도전층과 상부 도전층 사이에 게재되는 층간 절연층의 두께가 높아지게 되었다. 즉, 하부 도전층과 반도체 기판 사이의 층간 절연층의 두께에 비해 하부 도전층과 상부 도전층 간에 배치되는 층간 절연층의 두께가 매우 두껍게 되었다. 따라서, 하부 도전층과 반도체 기판을 연결하는 플러그용 콘택홀 형성 공정은 용이한 반면, 하부 도전층과 상부 도전층을 연결하는 플러그용 콘택홀 형성 공정은 어렵게 되었다. 그리고, 하부 도전층과 상부 도전층 사이

에 게재되는 층간 절연막이 두꺼우므로, 그 내부에 형성되는 콘택홀의 크기가 하부 도전층 또는 반도체 기판 근처에서는 작으나, 콘택홀 형성 공정이 진행되면서 그의 크기가 커지게 된다. 즉, 콘택홀 하부의 크기에 비해 상부의 크기는 상대적으로 커지게 된다.

<14> 그런데, 콘택홀 상부의 크기가 커져 콘택홀의 크기가 상부 도전층의 피치 보다 크게 되면, 상부 도전층이 인접하는 다른 상부 도전층에 플러그를 통해 단락되는 문제가 발생한다.

<15> 한편, 계층적 구조의 비트 라인의 반도체 메모리 소자에 있어서, 상부 도전층의 단락 즉, 글로벌 비트 라인의 단락 문제를 해결하기 위해, 글로벌 비트라인의 피치를 증가시킬 수 있다. 그러나, 글로벌 비트 라인의 피치를 증가시키면, 반도체 메모리 소자의 고집적화를 달성하기 곤란하다.

#### 【발명이 이루고자 하는 기술적 과제】

<16> 따라서, 본 발명이 이루고자 하는 기술적 과제는 상부 도전층의 피치를 증가시키지 않으면서 상부 도전층과 인접하는 상부 도전층간의 단락을 방지할 수 있는 반도체 메모리 소자를 제공하는 것이다.

<17> 본 발명이 이루고자하는 다른 기술적 과제는 계층적 구조의 비트 라인을 갖는 반도체 메모리 소자에 있어서, 글로벌 비트 라인의 피치를 증가시키지 않으면서, 글로벌 비트 라인과 인접 글로벌 비트라인 간의 단락을 방지할 수 있는 반도체 메모리 소자 및 그의 제조 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<18> 본 발명이 이루고자하는 기술적 과제 및 다른 기술적 과제를 달성하기 위해서는,

제 1 층간 절연층을 사이에 두고 반도체 기판 상에 형성된 하부 도전층과, 제 2 층간 절연층을 사이에 두고 하부 도전층 상부에 형성된 상부 도전층을 반도체 기판을 통해 연결하는 부분을, 1개 이상의 플러그와 패드로 나눈다. 1개 이상의 플러그는 제 1 층간 절연층 및 제 2 층간 절연층 내에 형성되고, 각각의 플러그의 상부 폭과 하부 폭의 크기의 차이가 심하지 않도록 제 2 층간 절연층을 다수의 서브 층간 절연층으로 나눈다. 그리고 제 2 층간 절연층의 상단부에 형성된 패드는, 자신이 접촉하는 상부 도전층과 인접하는 다른 상부 도전층에는 접촉하지 않을 정도의 폭을 갖도록 구성한다. 이를 위해서, 패드는 상부 도전층과 하부 도전층을 연결하는 1개 이상의 플러그의 높이의  $1/2$  이하의 높이를 갖도록 구성할 수 있다.

<19> 여기서 하부 도전층으로는 계층적 구조의 비트라인을 가지는 반도체 메모리 소자의 로컬 비트라인이, 상부 도전층으로는 계층적 구조의 비트라인을 가지는 반도체 메모리 소자의 글로벌 비트 라인이 사용될 수 있다. 그리고 로컬 비트 라인과 글로벌 비트라인의 연결은 반도체 기판에 형성된 트랜지스터 예를 들면 엔모스 트랜지스터에 의해 제어된다. 다른 예로서 하부 도전층으로는 비트 라인이, 상부 도전층으로는 금속 배선층이 사용될 수 있다. 그리고 일반적으로 하부 도전층과 상부 도전층 사이에는 캐패시터가 배치된다.

<20> 구체적으로 본 발명의 일견지에 의한 일예에 따른 반도체 메모리 소자는 반도체 기판 상에 형성된 제 1 층간 절연층, 제 1 층간 절연층 상에 형성되되 일정한 간격으로 배치된 다수의 제 1 도전층, 다수의 제 1 도전층 상면에 형성되는 제 2 층간 절연층, 제 2 층간 절연층 상면에 형성되며 일정 간격으로 배치된 다수의 제 2 도전층 및 제 1 층간 절연층 및 제 2 층간 절연층내에 형성되되 제 1 도전층 각각과 제 2 도전층 각각을 연결



하는 다수의 연결 소자를 포함한다. 다수의 연결 소자 각각은 반도체 기판에서부터 제 2 도전층 상단부까지 순차적으로 적층된, 적어도 1개 이상의 플러그와, 1개 이상의 플러그 및 제 2 도전층을 연결시키는 패드를 포함한다. 패드의 상부 폭은, 패드와 직접 접촉하는 상부 도전층이 인접하는 다른 상부 도전층과 연결되지 않도록 하는 크기를 갖도록 한다. 특히, 1개 이상의 플러그의 높이는 패드의 높이의 2배 이상임이 바람직하다.

<21> 또한, 연결 소자는 제 1 도전층과 반도체 기판을 연결시키는 제 2 플러그를 더 포함하고, 제 2 플러그의 높이는 1개 이상의 플러그의 높이의 30 내지 50%일 수 있다.

<22> 본 발명의 일 견지에 의한 다른 예에 따른 반도체 메모리 소자는 반도체 기판 상에 형성된 제 1 층간 절연층, 제 1 절연층 상면에 형성되며 일정 간격으로 배치된 다수의 로컬 비트 라인, 다수의 로컬 비트 라인을 덮는 평탄화된 제 2 층간 절연층, 제 2 층간 절연층 상면에 형성되고 반도체 기판과 연결되는 캐패시터, 캐패시터를 덮으며 제 2 절연층 상면에 형성되고, 일정 간격으로 배치된 다수의 글로벌 비트 라인 및 제 1 층간 절연층 및 제 2 층간 절연층 내에 형성되고, 다수의 로컬 비트 라인 각각과 글로벌 비트 라인 각각을 전기적으로 연결시키는 다수의 연결 소자를 포함한다.

<23> 다수의 연결 소자 각각은 다수의 제 2 글로벌 비트 라인 중 어느 하나의 글로벌 비트 라인과 직접 접촉하는 패드, 반도체 기판과 로컬 비트 라인 각각을 연결하는 제 1 플러그, 로컬 비트 라인에서 신장하며 로컬 비트 라인과 제 1 플러그를 연결시키는 연결 접속부 및 제 1 절연층 및 제 2 절연층 내에 형성되어 패드와 접촉하고 반도체 기판을 통해 제 1 플러그와 연결되는 제 2 플러그를 포함한다.

<24> 제 2 플러그는 제 2 층간 절연층의 상부로 진행함에 따라 폭이 증가하며, 제 2 플러그의 상단부는 인접하는 다른 제 2 플러그의 상단부와 연결되지 않는다. 패드의 하부

폭은 제 2 플러그의 상단부의 폭 보다 작으며, 패드의 상부 폭은, 자신이 접촉하는 글로벌 비트 라인에 인접하는 다른 글로벌 비트 라인에는 접촉하지 않도록 하는 폭을 갖는다.

<25> 특히, 글로벌 비트 라인의 피치와 연결 접속부의 피치가 같은 경우에는 제 2 플러그의 높이를 패드의 높이의 2배 내지 4배로 하고, 연결 접속부의 피치가 글로벌 비트 라인의 피치의 약 2배인 경우에는 제 2 플러그의 높이는 패드의 높이의 4배 이상으로 형성한다. 그리고, 통상의 반도체 메모리 소자에서 제 1 플러그의 높이가 플러그용 콘택홀 형성 공정에 부담이 되지 않으므로, 패드의 높이를 제 1 플러그의 높이와 실질적으로 같거나 이보다 낮게 할 수도 있다.

<26> 또한, 제 2 플러그의 상면이 캐패시터의 상면보다 위에 위치하게 할 수 있다.

<27> 본 발명의 다른 견지에 의한 일예에 따르면, 먼저 반도체 기판 상에 제 1 층간 절연층을 형성하고, 제 1 층간 절연층 상에 일정한 간격으로 배치된 다수의 제 1 도전층을 형성한다. 다수의 제 1 도전층 상면에 제 2 층간 절연층을 형성하고, 제 2 층간 절연층 상면에 일정 간격으로 배치된 다수의 제 2 도전층을 형성한다. 그리고 제 2 층간 절연층내에 구비되고 반도체 기판을 통해 제 1 도전층 각각과 제 2 도전층 각각을 연결하는 다수의 연결 소자를 형성한다. 연결 소자를 형성하기 위해서는, 제 1 층간 절연층 및 제 2 층간 절연층에 콘택홀을 형성하고 도전성 물질로 채움으로써, 반도체 기판에서부터 제 2 도전층 상단부까지 순차적으로 적층된, 적어도 1개 이상의 플러그, 적어도 1개 이상의 플러그와 제 2 도전층을 연결시키는 패드 및 제 1 도전층과 반도체 기판을 연결시키는 제 2 플러그를 형성한다. 그런데, 패드의 상부 폭은, 패드가 직접 접촉하는 제 2 도전층이 다른 인접 제 2 도전층과 단락되지 않도록 하는 크기를 갖도록 한다.

<28> 본 발명의 다른 견지에 의한 다른 예에 따르면, 반도체 기판 상에 연결 제어용 트랜지스터를 형성하는데, 이때 셀어레이 영역에 셀 트랜지스터를 동시에 형성한다. 연결 제어용 트랜지스터가 형성된 반도체 기판 전면, 제 1 층간 절연층을 형성하고 그 내부에 연결 제어용 트랜지스터의 소스 영역 및 드레인 영역 각각에 연결되는 제 1 플러그 및 제 2 플러그를 형성한다. 다음, 제 1 층간 절연층 상면에 제 1 플러그와 연결되는 연결 접속부와, 연결 접속부와 연결되며 일체인 로컬 비트 라인을 형성한다. 로컬 비트 라인 및 연결 접속부가 형성된 반도체 기판 전면, 제 3 층간 절연층을 형성하고 제 2 플러그와 연결되는 제 3 플러그를 형성한다. 한편, 로컬 비트 라인 형성 단계와 제 3 층간 절연층 형성 단계 사이에 로컬 비트라인과 절연되고 셀 트랜지스터의 소스 영역 또는 드레인 영역과 연결되는 캐패시터를 형성한다. 캐패시터의 상면은 제 3 플러그의 상면보다 아래에 위치하도록 캐패시터를 배치한다. 그리고 제 3 층간 절연층의 소정 부분을 식각하여 제 3 플러그와 연결되는 패드를 형성한다. 그리고 패드를 포함한 제 3 층간 절연층 상면에 글로벌 비트 라인을 형성한다.

<29> 여기서, 제 3 플러그의 상단부는 인접하는 다른 제 3 플러그의 상단부와 연결되지 않는다. 그리고, 패드의 하부 폭은 제 3 플러그의 상단부의 폭보다 작으며, 패드는, 자신이 접촉하는 글로벌 비트라인이 인접하는 다른 글로벌 비트라인에 접촉하지 않을 정도의 상부 폭을 갖도록 구성된다.

<30> 이하 도면을 참조로 본 발명을 상세히 설명한다.

<31> 상부 도전층으로 글로벌 비트 라인을 채용하고 하부 도전층으로 로컬 비트 라인을 채용하는 반도체 메모리 소자에 한정하여 설명하나, 이는 본 발명의 사상을 설명하기 위한 하나의 예에 불과할 뿐 본 발명의 사상은 이러한 실시예들에 한정되는 것은 아니다.

<32> 도 1은 계층적 구조의 비트 라인을 갖는 반도체 메모리 소자에서 셀 어레이 블록( $CAB_0, CAB_1, CAB_2, \dots, CAB_{n-2}, CAB_{n-1}$ )의 정보가 어레이 선택 트랜지스터( $Q_9$  또는  $Q_{20}$ )를 통해 감지 증폭기(10a 또는 10b)로 전달되는 과정을 보여주는 개략 회로도의 일예이다.

<33> 다수의 메모리 셀 어레이 블록( $CAB_0, CAB_1, CAB_2, \dots, CAB_{n-2}, CAB_{n-1}$ ) 각각에는 다수의 디램 단위셀(도시되지 않음), 다수의 워드 라인(도시되지 않음) 및 다수의 로컬 비트 라인(LBL, /LBL)이 포함되어 있다. 디램 단위셀들은 하나의 트랜지스터(도시되지 않음)와 하나의 캐패시터(도시되지 않음)로 이루어져 있다. 트랜지스터의 게이트에는 워드 라인이 연결되어 있으며 그의 소오스에는 캐패시터가 연결되어 있고 드레인에는 로컬 비트 라인(LBL, /LBL)의 일단이 연결되어 있다. 로컬 비트 라인의 타단은 분리 영역(20)의 연결 제어 트랜지스터( $Q_0, Q_0'; Q_1, Q_1'; Q_2, Q_2'; \dots; Q_{n-1}, Q_{n-1}'; Q_n, Q_n'$ )의 소오스에 연결되어 있다. 연결제어 트랜지스터는 엔모스 트랜지스터로 이루어질 수 있다.

글로벌 비트 라인(GBL, /GBL)과 분리영역(20)의 모든 트랜지스터들( $Q_0, Q_0'; Q_1, Q_1'; Q_2, Q_2'; \dots, Q_{n-1}, Q_{n-1}'; Q_n, Q_n'$ )은 노드( $N_0, N_0'; N_1, N_1'; \dots, N_{n-1}, N_{n-1}'; N_n, N_n'$ )를 통해 연결된다. 한편, 분리 영역(20) 내의 모든 트랜지스터들( $Q_0, Q_0'; Q_1, Q_1'; Q_2, Q_2'; \dots, Q_{n-1}, Q_{n-1}'; Q_n, Q_n'$ )은 각각의 선택 신호선( $ISO_0; ISO_1; ISO_2; \dots; ISO_{n-2}; ISO_{n-1}; ISO_n$ )에 그들의 게이트가 공통 연결되어 있다. 소정의 선택 신호선에 논리 '하이'가 실리면, 그 선택 신호선에 연결된 모든 연결 제어 트랜지스터가 턴온 된다. 턴온된 연결 제어 트랜지스터에 연결된 셀 어레이 블록의 셀 정보가 해당 셀어레이 내의 로컬 비트 라인(LBL, /LBL)과, 연결 제어 트랜지스터를 통해 연결된 글로벌 비트 라인(GBL, /GBL)을 통해 감지 증폭기(10a, 10b)로 전달된다. 한편, 신호선 (GLSIOi 또는

GLSI0j)의 선택 여부에 따라 트랜지스터(Q10) 또는 트랜지스터(Q20)가 턴온되고, 선택된 메모리 셀 어레이 블록의 정보가 감지 증폭기(10a 또는 10b)중의 어느 하나로 전달되어 증폭된다.

<34> 도 2는 도 1의 30으로 표시한 부분의 레이아웃을 나타낸 것이며, 도 3a 및 도 3b는 각각 도 2의 I-I 단면 및 II-II의 단면을 나타낸다.

<35> 왼쪽의 셀 어레이 블록(CAB<sub>2</sub>)과 오른쪽의 셀 어레이 블록 (CAB<sub>3</sub>) 내에는 X 축의 방향으로 신장하는 로컬 비트 라인(58a)이 배치되어 있다. 로컬 비트 라인(58a) 상부에는 절연층(도 3a 및 도 3b의 60, 66 및 70)을 사이에 두고 글로벌 비트 라인(74)이 X축 방향으로 신장하고 있다. 2개의 셀 어레이 블록들(CAB<sub>2</sub> 및 CAB<sub>3</sub>) 사이에는 분리 영역(20)을 구성하는 선택 제어 트랜지스터(Q<sub>3</sub>' 및 Q<sub>3</sub>)들을 형성하기 위한 활성 영역(42) 및 게이트 전극(43)이 배치되어 있다. 게이트 전극(43)은 폴리실리콘층(도 3a의 82) 및 고용점 금속 실리사이드층(도 3a의 83)을 나타내며, 도 2에서는 고용점 금속 실리사이드층(도 3a의 83) 상부에 형성되는 실리콘 질화막(도 3a의 84) 및 스페이서(도 3a의 85)는 도시하지 않았다. 활성 영역(42)은 X축의 방향으로 신장하며 Y축의 방향으로 이격 배치되어 있으며, 게이트 전극(43)은 Y축의 방향으로 신장하고 있다. 활성 영역(42)의 일단은 콘택홀(C1)을 채운 플러그(도 3a 및 도 3b의 56c)와 로컬 비트 라인(58a)에서 연장된 연결 접속부(58b)를 통해 셀 어레이 블록(CAB<sub>2</sub> 및 CAB<sub>3</sub>)의 로컬 비트 라인(58a)에 연결된다. 게이트 전극(43)을 중심으로 하는 활성 영역의 다른 일단은 콘택홀들(C<sub>1</sub> 및 C<sub>2</sub>)을 채운 플러그들(도 3a 및 도 3b의 56d 및 68)과 콘택홀(C<sub>3</sub>)을 채운 패드(도 3a 및 도 3b의 72)를 통해 글로벌 비트 라인(74)에 연결된다.

<36> 분리 영역(20)에서 글로벌 비트 라인(74)이 로컬 비트 라인의 연결 접속부(58b)에

1:1로 대응하면서 배치되어 있으므로, 로컬 비트 라인 연결 접속부(58b)의 피치와 글로벌 비트라인(74)의 피치가 d1으로 실질적으로 동일하다.

<37> 도 2의 단면도인 도 3a 및 도 3b를 참고로 상세히 살펴보면, 반도체 기판(50)에는 셀 어레이 영역(CAB<sub>2</sub>)과 분리 영역(20)을 나누는 소자 분리막(52)이 형성되어 있다. 셀 어레이 영역(CAB<sub>2</sub>)에는 게이트 산화막(81), 폴리실리콘층(82), 고용점 금속 실리사이드층(83), 실리콘질화막(84) 및 질화막 스페이서(85)로 이루어진 셀 트랜지스터의 게이트 전극 구조체들(CG<sub>1</sub>, CG<sub>2</sub>, CG<sub>3</sub>)이 형성되어 있다. 소자 분리막(52) 상에는 더미 게이트 전극 구조체(DG<sub>1</sub>)가 형성되어 있으며, 분리 영역(도 2의 20)에는 연결 제어 트랜지스터(Q<sub>3</sub>')가 형성되어 있다. 셀 어레이 영역(CAB<sub>2</sub>)의 제 1 층간 절연층(54) 상면에는 로컬 비트 라인(58a)이 형성되어 있고, 로컬 비트라인(58a)의 연장선 상에는 연결 접속부(58b)가 형성되어 있다. 로컬 비트 라인(58a)은 플러그(56a)를 통해 반도체 기판, 더욱 상세하게는 셀 트랜지스터의 활성영역에 연결된다. 로컬 비트라인(58a)의 연결 접속부(58b)는 로컬 비트 라인(58a)과 연결 제어 트랜지스터(Q<sub>3</sub>')를 연결시키기 위한 것으로, 플러그(56c)를 통해 연결 제어 트랜지스터(Q<sub>3</sub>')의 소오스에 연결된다. 한편, 연결 접속부(58b)는 더미 게이트 전극 구조체(DG<sub>1</sub>)와도 연결되어 있다. 로컬 비트 라인(58a)을 덮는 제 2 층간 절연층(60) 상면의 셀 어레이 영역에는 캐패시터(64)가 형성되어 있다. 캐패시터(64)는 제 1 층간 절연층(54) 및 제 2 층간 절연층(60) 내에 형성된 스토리지 전극 콘택 플러그(62)를 통해 셀 트랜지스터와 연결된다. 그리고, 제 3 층간 절연층(66)은 캐패시터를 덮는다. 제 3 층간 절연층(66) 상부에 형성된 제 4 층간 절연층(70)을 사이에 두고 반도체 기판 전면에는 글로벌 비트 라인(74)이 형성되어 있다. 분리 영역에 위치하는 제 4 층간 절연층(70) 내에 형성된 패드(72) 및 제 3 층간 절연층(66), 제 2 층간 절연

층(60) 및 제 1 층간 절연층(54)내 구비된 플러그들(68 및 56d)을 통해, 글로벌 비트 라인(74)은 연결 제어 트랜지스터(Q3')의 드레인 영역과 연결되어 있다.

<38> 그런데, 플러그(56a, 56c 또는 56d)가 형성되는 제 1 층간 절연층(54)의 두께는 플러그(68)가 형성되는 제 2 및 제 3 층간 절연층(60, 66)의 두께보다 상당히 얇다. 특히 반도체 소자의 집적화에 따라, 캐패시턴스를 증가시킬 필요에 의해 캐패시터(64)의 높이가 증가되고 있다. 따라서, 캐패시터(64)가 포함된 제 2 및 제 3 층간 절연층(60 및 66)의 높이는 점점 증가하고 있으므로 플러그(56d)의 상부 폭에 비해 플러그(68)의 상부 폭은 훨씬 크다.

<39> 종래에는 제 3 층간 절연층(66)내에 구비된 플러그(68) 또는 플러그(68)가 제 4 층간 절연층(70)까지 연장된 플러그(도시되지 않음)를 통해, 글로벌 비트 라인(74)과 반도체 기판(50)을 연결시켰다. 그런데, 플러그(68) 또는 연장된 플러그의 상부 폭이 콘택홀 형성 식각 진행에 따라 커지기 때문에, 플러그(68) 또는 연장된 플러그와 접촉하는 글로벌 비트 라인(74)이 인접하는 글로벌 비트 라인(74)과 단락되었다. 그러나, 본 발명에서는 제 3 층간 절연층(66) 상에 형성된 제 4 층간 절연층(70) 내부에, 플러그(68)의 상부 폭보다 작은 폭을 갖는 패드(72)를 형성하였다. 그리고 이 패드(72)를 이용하여 글로벌 비트 라인(74)을 연결 제어 트랜지스터(Q3')의 드레인에 연결시킨다.

<40> 제 4 층간 절연층(70)의 두께는 글로벌 비트 라인(74)과 로컬 비트 라인(58a) 사이의 신호 전달 시간 등의 각종 설계 요건을 고려하여 결정되며, 특히 글로벌 비트 라인(74)과 인접하는 다른 글로벌 비트 라인(74)이 제 4 층간 절연층(70) 내부에 형성된 패드(72)를 통해 상호 연결되지 않도록 하여야 한다. 따라서, 제 4 층간 절연층(70)의 두께는 제 3 층간 절연층(66) 및 제 2 층간 절연층(60)의 두께 합보다 작아야 하며, 바람

직하계는  $1/4$  에서  $1/2$ 배 정도 임이 바람직하다. 왜냐하면, 분리 영역(20)에서 로컬 비트 라인 연결 접속부(58b)와 글로벌 비트 라인(74)의 피치가 d1으로 실질적으로 동일하므로, 제 4 층간 절연층(70)에 비해 제 3층간 절연층(66)이 너무 두꺼우면 제 3 층간 절연층(66) 내에 구비된 플러그(68)의 상부 폭이 커져 인접하는 플러그(68)와 단락될 가능성이 있다. 그러면, 패드(72)에 의해서는 글로벌 비트 라인 간의 단락이 발생하지 않더라도 플러그(68)에 의해서는 비트 라인(74)과 인접하는 글로벌 비트 라인(74)이 단락될 수 있기 때문이다.

<41> 한편, 캐패시터(64)는 반도체 메모리 소자의 집적도에 따라 그 높이가 결정될 수 있으며, 이에 따라 제 3 층간 절연층(66)의 두께도 결정된다. 이 경우에는 패드(72)가 형성되는 제 4 층간 절연층(70)의 두께는, 제 3 층간 절연층(66)의 두께에 따라 결정되기 보다, 그 내부에 형성되는 패드(72)의 하부 폭이 플러그(68)의 상부 폭 보다 작은 폭을 가지며, 패드의 상부 폭은 자신이 접촉하고 있는 글로벌 비트 라인(74)과 인접하는 다른 글로벌 비트 라인(74)이 단락되지 않을 정도가 되도록 하면 족하다.

<42> 그리고, 제 1 층간 절연층(54) 내에 형성된 플러그들(56a, 56b, 56c 및 56d)형성 공정에서 글로벌 비트 라인(74)과 동일 피치를 갖는 로컬 비트 라인(58a)의 단락이 발생되지 않으므로, 제 4 층간 절연층(70)을 제 1 층간 절연층(54)의 두께 또는 그 보다 작은 두께로 형성할 수 있다.

<43> 이제 도 4a 내지 도 4c를 참고로 도 3a에 나타난 반도체 소자의 제조 방법을 설명한다.

<44> 도 4a에서, 소자 분리막(52)이 형성된 반도체 기판(50)에, 셀 트랜지스터용 게이트 전극 구조체(CG



1, CG<sub>2</sub> 및 CG<sub>3</sub>), 더미 게이트 전극 구조체(DG<sub>1</sub>) 그리고 연결 제어 트랜지스터(Q<sub>3</sub>')의 게이트 전극 구조체를 동시에 형성한다. 이들 게이트 전극 구조체들은 모두 게이트 산화막(81), 폴리실리콘층(82), 고용점 금속실리사이드층(83), 실리콘질화막(84) 및 질화막 스페이서(85)로 이루어져 있다. 이후, 반도체 기판 전면에서 약 0.6 $\mu$ m의 제 1 층간 절연층(54)을 형성한다. 제 1 층간 절연층(54)의 소정 부분을 식각하여 콘택홀을 형성하고 그 콘택홀 내부를 도전성 물질 예를 들면 폴리실리콘으로 채워 플러그들(56a, 56b, 56c 및 56d)을 형성한다. 플러그(56a)는 셀 트랜지스터의 활성 영역과 접촉하고, 플러그(56c)와 플러그(56d)는 연결 제어 트랜지스터(Q<sub>3</sub>')의 소스 및 드레인과 각각 접촉한다.

<45> 도 4b에서, 플러그들(56a, 56b, 56c 및 56d)이 형성된 제 1 층간 절연층(54) 상면에 로컬 비트 라인(58a)과 연결 접속부(58b)가 일체로된 도전층을 형성하고 연이어 0.5 $\mu$ m의 제 2 층간 절연층(60)을 형성한다. 제 2 층간 절연층(60)은 로컬 비트 라인(58a)과 이후에 형성될 캐패시터(64)와의 절연을 위한 것이다. 제 2 층간 절연층(60) 및 제 1 층간 절연층(54) 내에 콘택홀을 형성하고 그 내부를 폴리실리콘으로 채워 스토리지 전극 콘택 플러그(62)를 형성한다. 그리고 제 2 층간 절연층(60) 상면에 스토리지 전극, 유전막 및 플레이트 전극으로 이루어진 캐패시터(64)를 형성한다. 다음, 캐패시터(64)가 형성된 결과물 전면에서 약 2 $\mu$ m의 제 3 층간 절연층(66)을 형성한다. 제 3 층간 절연층(66)은 캐패시터(64)를 완전히 덮도록 한다. 그리고, 연결제어 트랜지스터(Q<sub>3</sub>')의 드레인과 접촉하는 플러그(56d)를 노출시키기 위해 제 3 층간 절연층(66) 및 제 2 층간 절연층(60) 내에 콘택홀을 형성하고 그 내부를 폴리실리콘과 같은 도전성 물질로 채워 플러그(68)를 형성한다. 제 1 층간 절연층(54) 내에 형성되는 플러그들은 제 2 및 제 3 층간 절연층

(60 및 66) 내에 형성되는 플러그(68)의 약 30% 정도의 높이를 갖도록 구성되었다. 플러그(68)를 형성하는 과정을 상세히 살펴보면, 제 2 층간 절연층(60) 및 제 3 층간 절연층(66)의 소정 부분을 식각하여 콘택홀을 형성한다. 콘택홀이 형성된 제 3 층간 절연막 전면에 폴리실리콘층(도시되지 않음)을 형성하고 제 3 층간 절연막의 상면이 노출될 때까지 폴리실리콘층을 연마한다. 그런데, 연마 과정에서 제 3 층간 절연층의 일부가 식각될 수 있으므로, 캐패시터의 상면이 연마의 영향을 받지 않게 하기 위해서는 플러그(68)의 높이를 캐패시터(64)의 높이보다 높게 형성하는 것이 바람직하다.

<46> 한편, 도 4b에서는 로컬 비트 라인(58a) 및 캐패시터(64)를 형성한 후, 플러그(68)를 포함하는 제 3 층간 절연층(66)을 1회의 공정으로 형성하였다. 그러나, 제 2 층간 절연층(6) 상부에 형성되는 제 3 층간 절연층을 수회로 나누어 형성하고, 이런 수회의 제 3 층간 절연층 형성 공정 사이에 캐패시터(64)를 형성할 수도 있다. 즉, 제 2 층간 절연층(60) 상부에 제 3 층간 절연층(66)의 일부 두께만을 형성하고 그 내부에 플러그를 형성한다. 다음, 일부 두께만이 형성된 제 3 층간 절연층 상에 캐패시터를 형성한다. 그리고 제 3 층간 절연층의 나머지 부분을 형성하고 그 내부에 플러그를 형성한다. 이때는 제 3 층간 절연층(66) 내에 형성되는 플러그가 2회 또는 그 이상에 걸쳐 형성되므로, 플러그의 상부 폭 증가량을 줄일 수 있다.

<47> 도 4c에서, 플러그(68)를 포함하는 제 3 층간 절연층(66) 상면에 0.4 $\mu$ m의 제 4 층간 절연층(70)을 형성한다. 제 4 층간 절연층(70)내에 콘택홀을 형성하고 그 내부를 도전성 물질로 채워 플러그(68)와 연결되는 패드(72)를 형성한다. 제 4 층간 절연층(70) 내에 패드(72)를 형성하는 방법으로 다마신을 이용할 수 있다. 그리고, 도 3a에 도시된

바와 같이 제 4 층간 절연층(70) 상면에 피치(d1)을 갖는 글로벌 비트 라인을 형성한다.

<48> 도 5는 계층적 구조의 비트 라인을 갖는 반도체 메모리 소자에서 셀 어레이 블록(CAB<sub>10</sub>, CAB<sub>11</sub>, ..., CAB<sub>(T/2-1)</sub>, CAB<sub>(n/2)</sub>)의 정보가 어레이 선택 트랜지스터(Q<sub>10</sub>, Q<sub>10</sub>' ; Q<sub>11</sub>, Q<sub>12</sub>, Q<sub>11</sub>', Q<sub>12</sub>' ; ..., Q<sub>15</sub>, Q<sub>16</sub>, Q<sub>15</sub>', Q<sub>16</sub>' ; ..., :Q<sub>n-2</sub>, Q<sub>n-1</sub>, Q<sub>n-2</sub>', Q<sub>n-1</sub>' ; Q<sub>n</sub>, Q<sub>n</sub>')를 통해 감지 증폭기로 전달되는 과정을 보여주는 개략 회로도이다. 분리 영역(120)이 (감지 증폭기(110a 또는 110b)에 인접한 연결 제어 트랜지스터(Q<sub>10</sub>, Q<sub>n</sub>)를 제외하고) 소오스가 공통 연결된 한쌍의 트랜지스터들(Q<sub>11</sub>, Q<sub>12</sub>, Q<sub>11</sub>', Q<sub>12</sub>' ; ..., Q<sub>15</sub>, Q<sub>16</sub>, Q<sub>15</sub>', Q<sub>16</sub>' ; ..., :Q<sub>n-2</sub>, Q<sub>n-1</sub>, Q<sub>n-2</sub>', Q<sub>n-1</sub>')로 이루어진 것을 제외하고 도 2의 개략 회로도와 동일한 구성을 갖는다.

<49> 도 6은 도 5의 분리 영역(120)의 레이아웃을 나타낸 것이며, 도 7a, 도 7b 및 도 7c는 각각 도 6의 III-III단면, IV-IV 단면 및 V-V단면을 나타낸다.

<50> 왼쪽의 셀 어레이 블록(CAB12)과 오른쪽의 셀 어레이 블록(CAB13) 내에는 X 축의 방향으로 신장하는 로컬 비트 라인(108a, 109a)이 배치되어 있다. 로컬 비트 라인(108a, 109a) 상부에는 절연층(도 7a 내지 도 7c의 110, 116 및 120)을 사이에 두고 글로벌 비트 라인(124, 125 및 126)이 X축 방향으로 신장하고 있다.

<51> 2개의 셀 어레이 블록들(CAB12 및 CAB13) 사이에는 분리 영역(도 5의 120)을 구성하는 선택 제어 트랜지스터(Q15 및 Q16)들을 형성하기 위한 활성 영역(142) 및 게이트 전극(143a 및 143b)이 배치되어 있다. 게이트 전극(143a 및 143b)은 게이트 산화막(도 7a 및 도 7b) 상에 형성된 폴리실리콘층(도 7a 및 도 7b의 92) 및 고용점 금속 실리사이드층(도 7a 및 도 7b의 93)을 나타내며, 도 6에서는 고용점 금속 실리사이드층 상부에

형성되는 실리콘 질화막(도 7a 및 도 7b의 94) 및 스페이서(도 7a 및 도 7b의 95는 도시하지 않았다. 게이트 전극(143a 및 143b)은 Y축의 방향으로 신장하고 있다. 제 1 열의 로컬 비트 라인 및 제 3 열의 로컬 비트 라인(108a)은 콘택홀(C11)을 채운 플러그들(도 7a의 106c 및 106d)과 로컬 비트 라인(108a)에서 연장된 연결 접속부(108b)를 통해 글로벌 비트 라인(124, 126)에 연결된다. 게이트 전극(143a)과 게이트 전극(143b)의 사이의 활성 영역은 콘택홀들(C<sub>11</sub> 및 C<sub>12</sub>)을 채운 플러그들(도 7a와 도 7c의 106g 와 118a, 도 7c의 106h 및 118b)과 콘택홀(C<sub>13</sub>)을 채운 패드(도 7a의 122a, 도 7c의 122b)를 통해 글로벌 비트 라인(124, 126)에 연결된다.

<52> 2개의 셀 어레이 블록들(CAB<sub>12</sub> 및 CAB<sub>13</sub>)에 배치된 제 2 열의 로컬 비트 라인(109a)과 글로벌 비트 라인의 연결 모습은 도 6 및 도 7a 내지 도 7c에 나타나 있지 않는다. 다만, 더미 게이트 전극(DG4, DG5) 상부에 형성된 더미 로컬 비트 라인(109b)은 콘택홀(C12)을 채운 더미 플러그(119a, 119b)와 더미 패드(123a, 123b)를 통해 글로벌 비트 라인(125)에 연결된다. 분리 영역(120)의 활성 영역(142) 내에 배치된 글로벌 비트 라인(124)과 인접하는 글로벌 비트 라인(125) 간의 피치는  $d_2$ 이다. 그러나 분리 영역에서, 로컬 비트 라인 연결 접속부(108b)가 제 1 열과 제 3 열에 배치되어 있으므로, 로컬 비트 라인 연결부(108b)의 피치는 글로벌 비트 라인의 피치의 2배이다. 따라서, 로컬 비트 라인 연결부(108b)의 피치가 글로벌 비트라인(124, 125 또는 126)의 피치와 동일한 경우에 비해 콘택홀(C<sub>12</sub> 및 C<sub>13</sub>)를 형성 공정 마진이 증가한다.

<53> 도 6의 단면도인 도 7a 내지 도 7c를 참고로 상세히 살펴보면, 반도체

기판(100)에는 셀 어레이 영역(CAB<sub>12</sub>)과 분리 영역(120) 그리고 셀 어레이 영역(CAB<sub>13</sub>)과 분리 영역(120)을 나누는 소자 분리막(102)이 형성되어 있다. 셀 어레이 영역(CAB<sub>12</sub> 및 CAB<sub>13</sub>)에는 게이트 산화막(91), 폴리실리콘층(92), 고용점 금속 실리콘사이드층(93), 실리콘질화막(94) 및 질화막 스페이서(95)로 이루어진 셀 트랜지스터의 게이트 전극 구조체들(CG<sub>4</sub>, CG<sub>5</sub>, CG<sub>6</sub>, CG<sub>7</sub>, CG<sub>8</sub>, CG<sub>10</sub>, CG<sub>11</sub>, CG<sub>12</sub>, CG<sub>13</sub>, CG<sub>14</sub>, CG<sub>15</sub>)등이 형성되어 있다. 소자 분리막(102) 상에는 더미 게이트전극 구조체(DG<sub>2</sub>, DG<sub>3</sub>, DG<sub>4</sub>, DG<sub>5</sub>, DG<sub>6</sub>, DG<sub>7</sub>)가 형성되어 있으며, 분리 영역(도 6의 120)에는 연결제어 트랜지스터(Q<sub>15</sub>, Q<sub>16</sub>; Q<sub>15'</sub>, Q<sub>16'</sub>)가 형성되어 있다. 셀 어레이 영역의 제 1 층간 절연층(104) 상면에는 로컬 비트 라인(108a)이 형성되어 있고, 로컬 비트라인(108a)의 연장선 상에는 연결 접속부(108b)가 형성되어 있다. 로컬 비트 라인(108a)은 플러그(106a 또는 106f)를 통해 반도체 기판, 더욱 상세하게는 셀 트랜지스터의 활성영역에 연결된다. 로컬 비트라인의 연결 접속부(108b)는 로컬 비트 라인(108a)과 연결 제어 트랜지스터(Q<sub>15</sub>, Q<sub>16</sub>; Q<sub>15'</sub>, Q<sub>16'</sub>)를 연결시키기 위한 것으로, 플러그(106c, 106d)을 통해 연결 제어 트랜지스터(Q<sub>15</sub>, Q<sub>16</sub>)의 소오스에 공통 연결된다. 한편, 연결 접속부(108b)는 더미 게이트 전극 구조체(DG<sub>2</sub>, DG<sub>3</sub>)와도 연결되어 있다. 로컬 비트 라인(108a, 109a)을 덮는 제 2 층간 절연층(110) 상면의 셀 어레이 영역에는 캐패시터(114a, 114b, 115a, 115b)가 형성되어 있다. 캐패시터(114a, 114b, 115a, 115b)는 제 1 층간 절연층(104) 및 제 2 층간 절연층(110) 내에 형성된 플러그(112a, 112b, 113a, 113b)를 통해 셀 트랜지스터와 연결된다. 그리고, 제 3 층간 절연층(116)은 캐패시터를 덮는다. 제 3 층간 절연층(116) 상부에 형성된 제 4 층간 절연층(120)을 사이에 두고 반도체 기판 전면에서 글로벌 비트 라인(124, 125, 126)이 형성되어 있다.

- <54> 분리 영역에 위치하는 제 4 층간 절연층(120) 내에 형성된 패드(122a, 122b) 및 제 3 층간 절연층(116), 제 2 층간 절연층(110) 및 제 1 층간 절연층(104)내에 구비된 플러그들(106f와 118b, 106g와 118a)를 통해 글로벌 비트 라인(124)은 연결 제어 트랜지스터( $Q_{15}$ ,  $Q_{16}$ )의 드레인 영역과 연결되어 있다.
- <55> 도 2 및 도 3a 내지 도 3b에서 설명한 바와 같이, 캐패시터(114a, 114b)가 포함된 제 2 및 제 3 층간 절연층(110, 116)의 높이는 점점 증가하고 있으므로 플러그(106g, 106h)의 상부 폭에 비해 플러그(118a, 118b)의 상부 폭은 훨씬 크다.
- <56> 따라서, 본 발명에서는 제 3 층간 절연층(116) 상에 형성된 제 4 층간 절연층(120) 내부에, 플러그(118a; 118b)의 상부 폭보다 작은 폭을 갖는 패드(122a, 112b)를 형성하고, 이를 이용하여 글로벌 비트 라인(124, 126)을 연결 제어 트랜지스터( $Q_{15}$ )의 드레인 에 연결시킨다.
- <57> 제 4 층간 절연층(120)의 두께는 제 3 층간 절연층(116) 및 제 2 층간 절연층(110)의 두께 합보다 작아야 한다. 그런데, 전술한 바와 같이, 분리 영역(120)에서 글로벌 비트 라인(124, 126)을 반도체 기판과 연결시키기 위한 콘택홀( $C_{11}$ ,  $C_{12}$ ,  $C_{13}$ )이 제 1 열 및 제 3열에 형성되어 있다. 따라서 제 3 층간 절연층(116) 및 제 2 층간 절연층(110) 내에 형성되는 콘택홀( $C_{12}$ )을 제 1 실시예에 대응되는 것보다 크게 형성하여도, 인접하는 콘택홀인 제 3열의 제 3 층간 절연층(110)에 형성되는 콘택홀( $C_{12}$ )과 연결되지 않게 된다. 즉, 제 4 층간 절연층(120)에 대한 제 3층간 절연층(110)의 높이 비가 제1 실시예에 비교하여 증가해도, 본 발명의 목적을 달성할 수 있다. 따라서, 제 3 층간 절연층(116) 내에 형성되는 캐패시터(114a, 114b)의 높이를 더욱 높일 수 있어 도 7a 내지 도

7c에 나타난 반도체 메모리 소자는 제 1 실시예의 반도체 메모리 소자에 비해 고집적화 추세에 더욱 적합하다고 할 수 있다.

<58> 도 7b의 반도체 메모리 소자의 제조 단계는 도 8a 내지 도 8c에 나타나 있으며, 셀 트랜지스터 형성 시에 직렬로 연결된 한쌍의 연결 제어 트랜지스터(Q<sub>15</sub>, Q<sub>16</sub>)가 형성되는 점을 제외하고, 도 4a 내지 도 4c의 설명이 적용될 수 있으므로, 여기서는 그에 대한 상세한 설명을 생략한다.

<59> 본 발명은 글로벌 비트 라인이 트위스티 되지 않은 실시예만을 예들 들어 설명하였으나, 트위스티드된 글로벌 비트 라인을 갖는 반도체 메모리 소자에도 본 발명을 적용할 수 있음은 당업자에게 자명하다.

#### 【발명의 효과】

<60> 본 발명은, 하부 도전층 예를 들면 로컬 비트 라인과 상부 도전층 예를 들면 글로벌 비트 라인 사이에 형성되는 층간 절연층 내에 플러그와 플러그 보다 작은 폭을 가지는 패드를 이용하여 상부 도전층과 하부 도전층을 연결함으로써, 상부 도전층의 피치를 증가시키지 않으면서 상부 도전층과 인접하는 상부 도전층간의 단락을 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판,

상기 반도체 기판 상에 형성된 제 1 층간 절연층,

상기 제 1 층간 절연층 상에 형성되며 일정한 간격으로 배치된 다수의 제 1 도전층

상기 다수의 제 1 도전층 상면에 형성되는 제 2 층간 절연층,

상기 제 2 층간 절연층 상면에 형성되며 일정 간격으로 배치된 다수의 제 2 도전층

및

상기 제 1 층간 절연층 및 제 2 층간 절연층내에 형성되며 상기 제 1 도전층 각각과 상기 제 2 도전층 각각을 연결하는 다수의 연결 소자를 포함하고,

상기 연결소자는 상기 반도체 기판에서부터 상기 제 2 도전층 상단부까지 순차적으로 적층된, 적어도 1개 이상의 플러그 및, 상기 1개 이상의 플러그와 상기 제 2 도전층을 연결시키는 패드를 포함하며,

상기 패드는, 상기 패드와 연결되는 상기 제 2 도전층이 인접하는 다른 제 2 도전층에 연결되지 않을 정도의 상부 폭을 가지는 반도체 메모리 소자.

**【청구항 2】**

제 1 항에 있어서, 상기 1개 이상의 플러그의 높이는 상기 패드의 높이의 2배 이상인 반도체 메모리 소자.



**【청구항 3】**

제 2 항에 있어서, 상기 연결 소자는 상기 제 1 도전층과 상기 반도체 기판을 연결시키는 제 2 플러그를 더 포함하고, 상기 제 2 플러그의 높이는 상기 적어도 1개 이상의 플러그의 높이의 30 내지 50%인 반도체 메모리 소자.

**【청구항 4】**

제 3 항에 있어서, 상기 패드의 높이는 상기 제 2 플러그의 높이와 실질적으로 같거나 낮은 반도체 메모리 소자.

**【청구항 5】**

제 3 항에 있어서, 상기 연결소자는 상기 제 2 플러그와 상기 적어도 1개 이상의 플러그의 전기적 연결을 제어하는 엔모스 트랜지스터를 더 포함하는 반도체 메모리 소자.

**【청구항 6】**

제 4 항에 있어서, 상기 연결소자는 상기 제 2 플러그와 상기 적어도 1개 이상의 플러그의 전기적 연결을 제어하는 엔모스 트랜지스터를 더 포함하는 반도체 메모리 소자.

**【청구항 7】**

반도체 기판,

상기 반도체 기판 상에 형성된 제 1 층간 절연층,

상기 제 1 절연층 상면에 형성된 일정 간격으로 배치된 다수의 로컬 비트 라인,

상기 다수의 로컬 비트 라인을 덮는 평탄화된 제 2 층간 절연층,

상기 제 2 층간 절연층 상면에 형성되고 상기 반도체 기판과 연결되는 캐패시터,  
 상기 캐패시터를 덮으며 상기 제 2 절연층 상면에 형성되고, 일정 간격으로 배치  
 된 다수의 글로벌 비트 라인 및

상기 제 1 층간 절연층 및 상기 제 2 층간 절연층 내에 형성되고, 상기 다수의 로  
 컬 비트 라인 각각과 상기 글로벌 비트 라인 각각을 전기적으로 연결시키는 다수의 연결  
 소자를 포함하며,

상기 다수의 연결 소자 각각은, 상기 다수의 제 2 글로벌 비트 라인 중 어느 하나  
 의 글로벌 비트 라인과 직접 접촉하는 패드, 상기 반도체 기판과 상기 로컬 비트 라인  
 각각을 연결하는 제 1 플러그, 상기 로컬 비트 라인으로부터 신장하며 상기 로컬 비트  
 라인과 상기 제 1 플러그 사이에 배치된 연결 접속부 및 상기 제 1 절연층 및 상기 제 2  
 절연층 내에 형성되어 상기 패드와 접촉하고 상기 반도체 기판을 통해 상기 제 1 플러그  
 와 연결되는 제 2 플러그를 포함하며,

상기 제 2 플러그는 상기 제 2 층간 절연층의 상부로 진행함에 따라 폭이  
 증가하며, 상기 제 2 플러그의 상단부는 인접하는 다른 제 2 플러그의 상단부와 연결되  
 지 않으며, 상기 패드의 하부 폭은 상기 제 2 플러그의 상단부의 폭 보다 작으며, 상기  
 패드는, 자신이 접촉하는 글로벌 비트 라인이 인접하는 다른 글로벌 비트라인에 연결되  
 지 않을 정도의 상부 폭을 가지는 반도체 메모리 소자.

#### 【청구항 8】

제 7 항에 있어서, 상기 글로벌 비트 라인의 피치와 상기 연결 접속부의 피치가 같  
 은 반도체 메모리 소자.

**【청구항 9】**

제 8 항에 있어서, 상기 제 2 플러그의 높이는 상기 패드의 높이의 2배 내지 4배인 반도체 메모리 소자.

**【청구항 10】**

제 7 항에 있어서, 상기 연결 접속부의 피치는 상기 글로벌 비트 라인의 피치의 약 2배인 반도체 메모리 소자.

**【청구항 11】**

제 10 항에 있어서, 상기 제 2 플러그의 높이는 상기 패드의 높이의 4배 이상인 반도체 메모리 소자.

**【청구항 12】**

제 7 항에 있어서, 상기 제 1 플러그의 높이는 상기 패드의 높이와 실질적으로 같거나 낮은 반도체 메모리 소자.

**【청구항 13】**

제 7 항에 있어서, 상기 연결 소자는 상기 반도체 기판 상에 형성되고 상기 제 1 플러그와 상기 제 2 플러그와의 전기적 연결을 제어하는 회로 소자를 더 포함하는 반도체 메모리 소자.

**【청구항 14】**

제 13 항에 있어서, 상기 회로 소자는 엔모스 트랜지스터이고 상기 제 1 플러그 및 상기 제 2 플러그는 상기 엔모스 트랜지스터의 소스 영역 및 드레인 영역에 각각 연결되는 반도체 메모리 소자.

**【청구항 15】**

제 7 항에 있어서, 상기 제 2 플러그의 상면이 상기 캐패시터의 상면 보다 위쪽에 위치하는 반도체 메모리 소자.

**【청구항 16】**

반도체 기판을 준비하는 단계,

상기 반도체 기판 상에 제 1 층간 절연층을 형성하는 단계,

상기 제 1 층간 절연층 상에 일정한 간격으로 배치된 다수의 제 1 도전층을 형성하는 단계,

상기 다수의 제 1 도전층 상면에 제 2 층간 절연층을 형성하는 단계,

상기 제 2 층간 절연층 상면에 일정 간격으로 배치된 다수의 제 2 도전층을 형성하는 단계 및

상기 제 2 층간 절연층내에 구비되고 상기 반도체 기판을 통해 상기 제 1 도전층 각각과 상기 제 2 도전층 각각을 연결하는 다수의 연결 소자를 형성하는 단계를 포함하고,

상기 연결소자는 상기 반도체 기판에서부터 상기 제 2 도전층 상단부까지 순차적으로 적층된, 적어도 1개 이상의 플러그, 상기 적어도 1개 이상의 플러그와 상기 제 2 도전층을 연결시키는 패드 및 상기 제 1 도전층과 상기 반도체 기판을 연결시키는 제 2 플러그를 포함하며,

상기 패드는, 상기 패드가 접촉하는 상부 도전층이 다른 인접하는 상부 도전층에 단락되지 않을 정도의 상부 폭을 가지는 반도체 메모리 소자의 제조 방법.

**【청구항 17】**

제 16 항에 있어서, 상기 1개 이상의 플러그의 높이는 상기 패드의 높이의 2배 이상인 반도체 메모리 소자의 제조 방법.

**【청구항 18】**

제 16 항에 있어서, 상기 제 2 플러그의 높이는 상기 적어도 1개 이상의 플러그의 높이의 30 내지 50%인 반도체 메모리 소자의 제조 방법.

**【청구항 19】**

제 17 항에 있어서, 상기 패드의 높이는 상기 제 2 플러그의 높이와 실질적으로 같은 반도체 메모리 소자의 제조 방법.

**【청구항 20】**

반도체 기판을 준비하는 단계,

상기 반도체 기판 상에 연결 제어용 트랜지스터를 형성하는 단계,

상기 연결 제어용 트랜지스터가 형성된 반도체 기판 전면에, 상기 연결 제어용 트랜지스터의 소스 영역 및 드레인 영역 각각에 연결되는 제 1 플러그 및 제 2 플러그가 구비된 제 1 층간 절연층을 형성하는 단계, ,

상기 제 1 층간 절연층 상면에 상기 제 1 플러그와 연결되는 연결 접속부와 상기 연결접속부와 연결되는 로컬 비트 라인을 형성하는 단계,

상기 로컬 비트 라인 및 상기 연결 접속부가 형성된 반도체 기판 전면에, 상기 제 2 플러그와 연결되는 제 3 플러그가 구비된 제 2 층간 절연층을 형성하는 단계,

상기 제 2 층간 절연층 상면에 상기 제 3 플러그와 연결되는 패드를 구비하는 제 3 층간 절연층을 형성하는 단계 및

상기 패드를 포함한 제 3 층간 절연층 상면에 글로벌 비트 라인을 형성하는 단계를 포함하며,

상기 제 3 플러그의 상단부는 인접하는 다른 제 3 플러그의 상단부와 연결되지 않으며, 상기 패드의 하부 폭은 상기 제 3 플러그의 상단부의 폭 보다 작으며, 상기 패드는, 자신이 접촉하는 글로벌 비트 라인이 인접하는 다른 글로벌 비트 라인과 단락되지 않도록 하는 상부 폭을 갖는 반도체 메모리 소자의 제조 방법.

**【청구항 21】**

제 20 항에 있어서, 상기 글로벌 비트 라인의 피치와 상기 연결 접속부의 피치가 같은 반도체 메모리 소자의 제조 방법.

**【청구항 22】**

제 21 항에 있어서, 상기 제 3 플러그의 높이는 상기 패드의 높이의 2배 내지 4배인 반도체 메모리 소자의 제조 방법.

**【청구항 23】**

제 20 항에 있어서, 상기 연결 접속부의 피치는 상기 글로벌 비트 라인의 피치의 약 2배인 반도체 메모리 소자의 제조 방법.

**【청구항 24】**

제 23 항에 있어서, 상기 제 3 플러그의 높이는 상기 패드의 높이의 4배 이상인 반도체 메모리 소자의 제조 방법.

**【청구항 25】**

제 20 항에 있어서, 상기 제 2 플러그의 높이는 상기 패드의 높이와 실질적으로 같거나 낮은 반도체 메모리 소자의 제조 방법.

**【청구항 26】**

제 20 항에 있어서, 상기 패드는 다마신 공정을 이용하여 형성된 반도체 메모리 소자의 제조 방법.

**【청구항 27】**

제 20 항에 있어서, 상기 연결 제어용 트랜지스터를 형성하는 단계에서, 상기 반도체 기판의 셀 어레이 영역에 셀 트랜지스터도 동시에 형성하는 반도체 메모리 소자의 제조 방법.

**【청구항 28】**

제 27 항에 있어서, 상기 로컬 비트 라인 형성 단계와 상기 제 3 플러그가 구비된 제 2 층간 절연층을 형성하는 단계 사이에, 상기 로컬 비트 라인과 절연되며 상기 셀 트랜지스터의 소스 영역 또는 드레인 영역과 연결되는 캐패시터를 형성하는 단계를 더 포함하는 반도체 메모리 소자의 제조 방법.

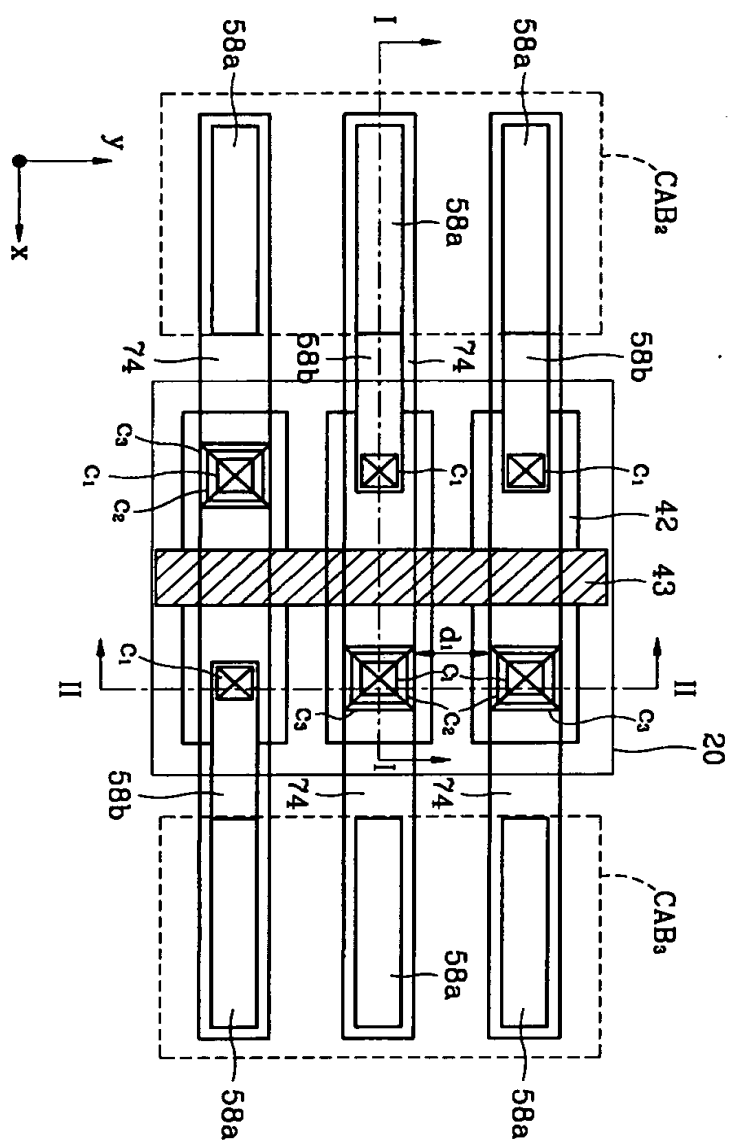
**【청구항 29】**

제 28 항에 있어서, 상기 제 3 플러그의 상면이 상기 캐패시터의 상면 보다 위쪽에 위치하는 반도체 메모리 소자의 제조 방법.

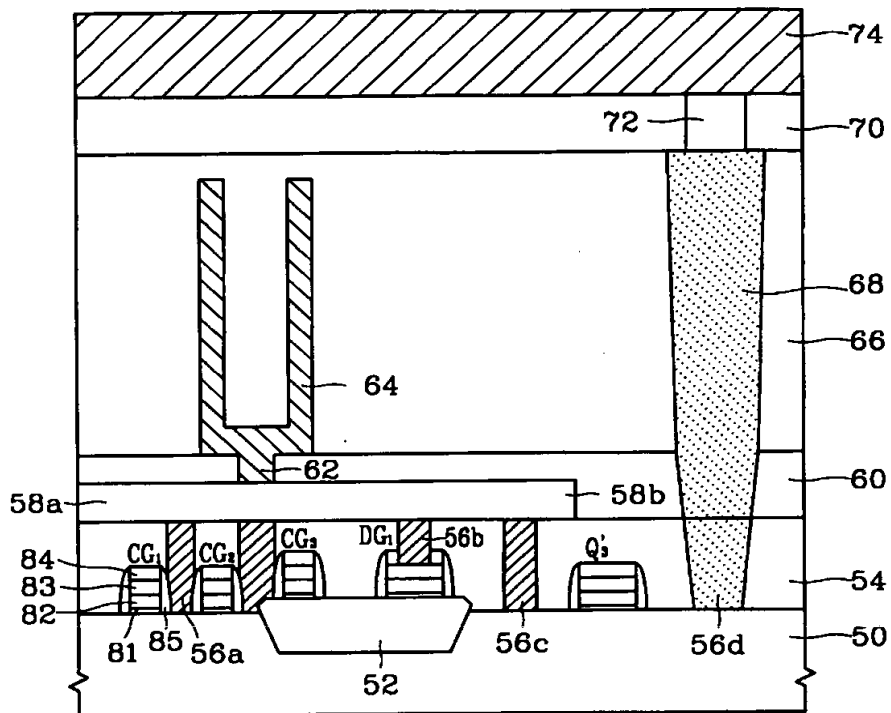




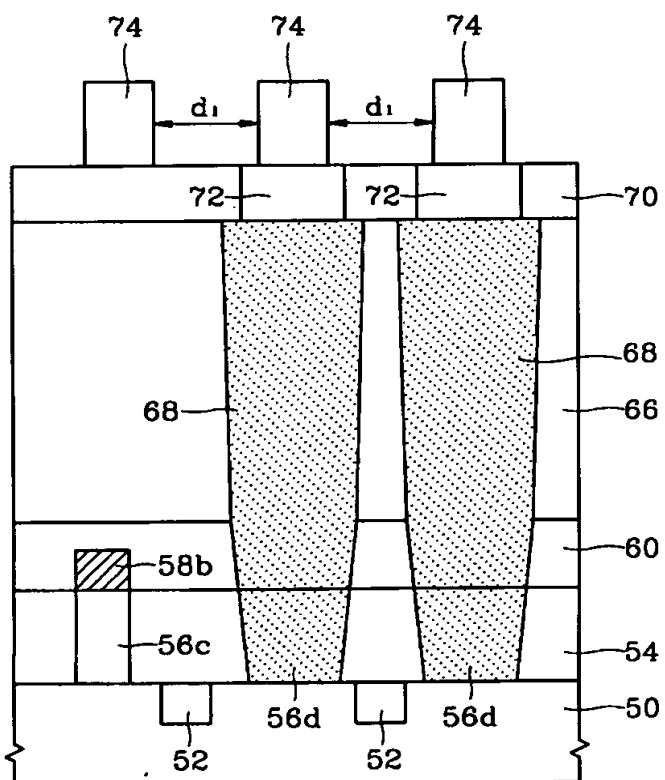
【도 2】



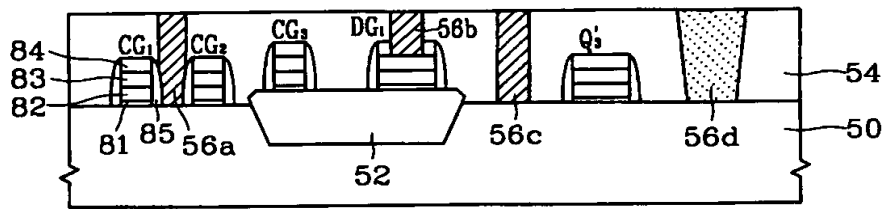
【도 3a】



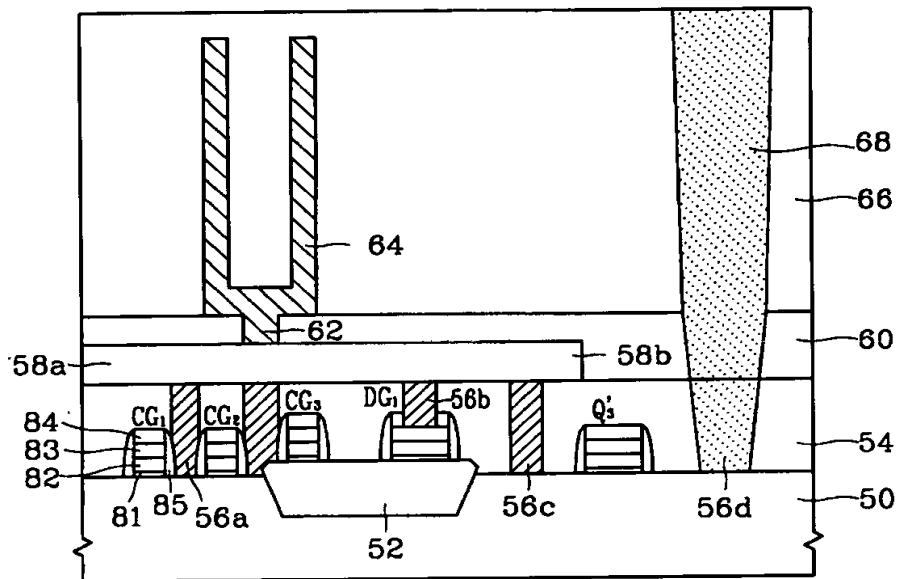
【도 3b】



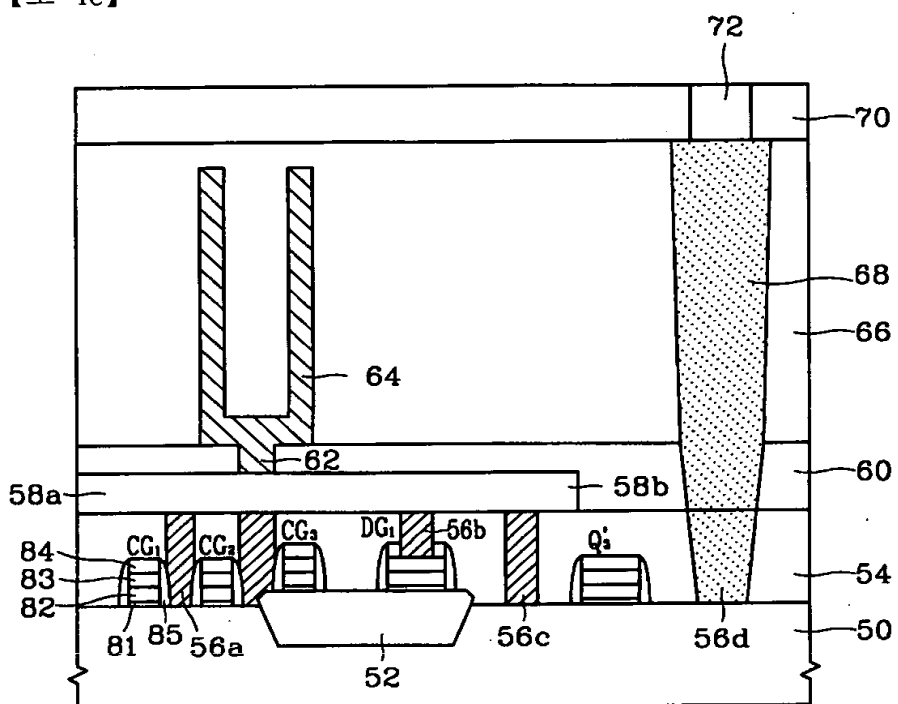
【도 4a】



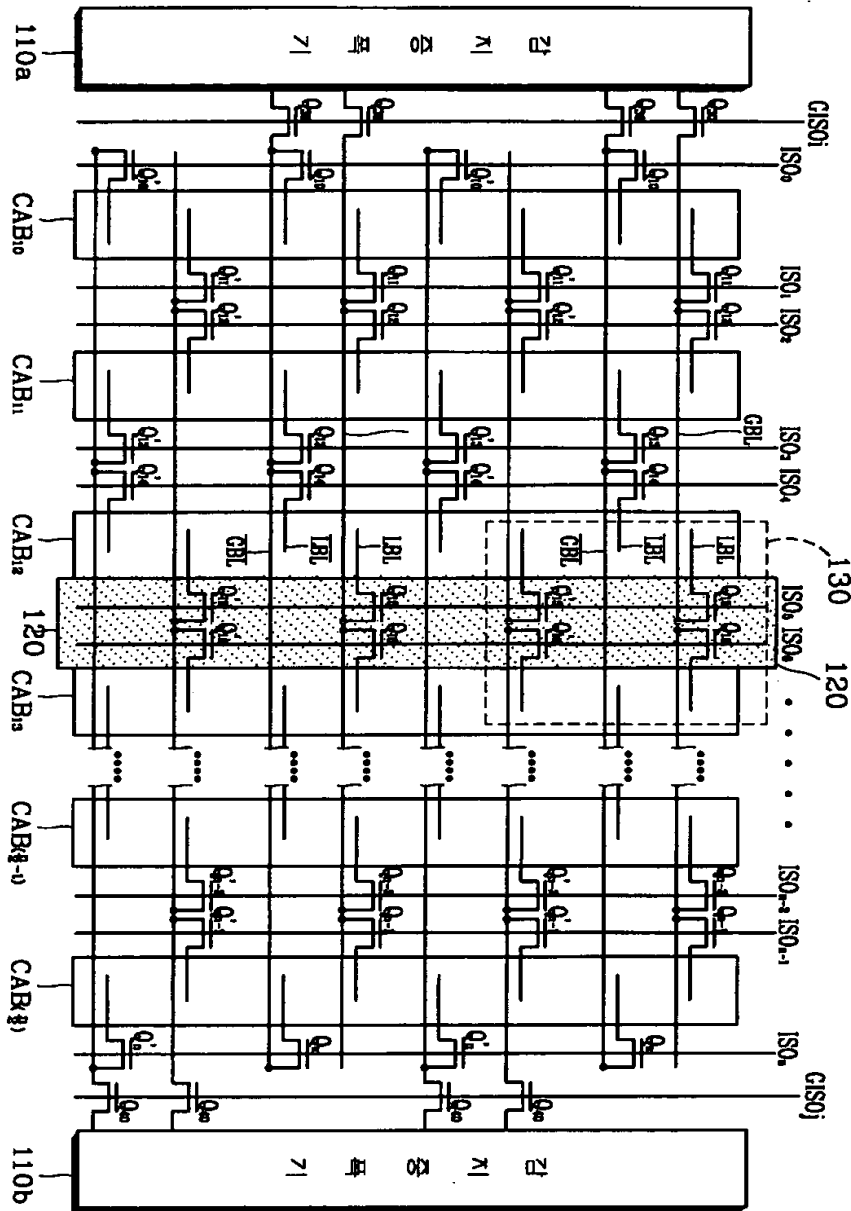
【도 4b】



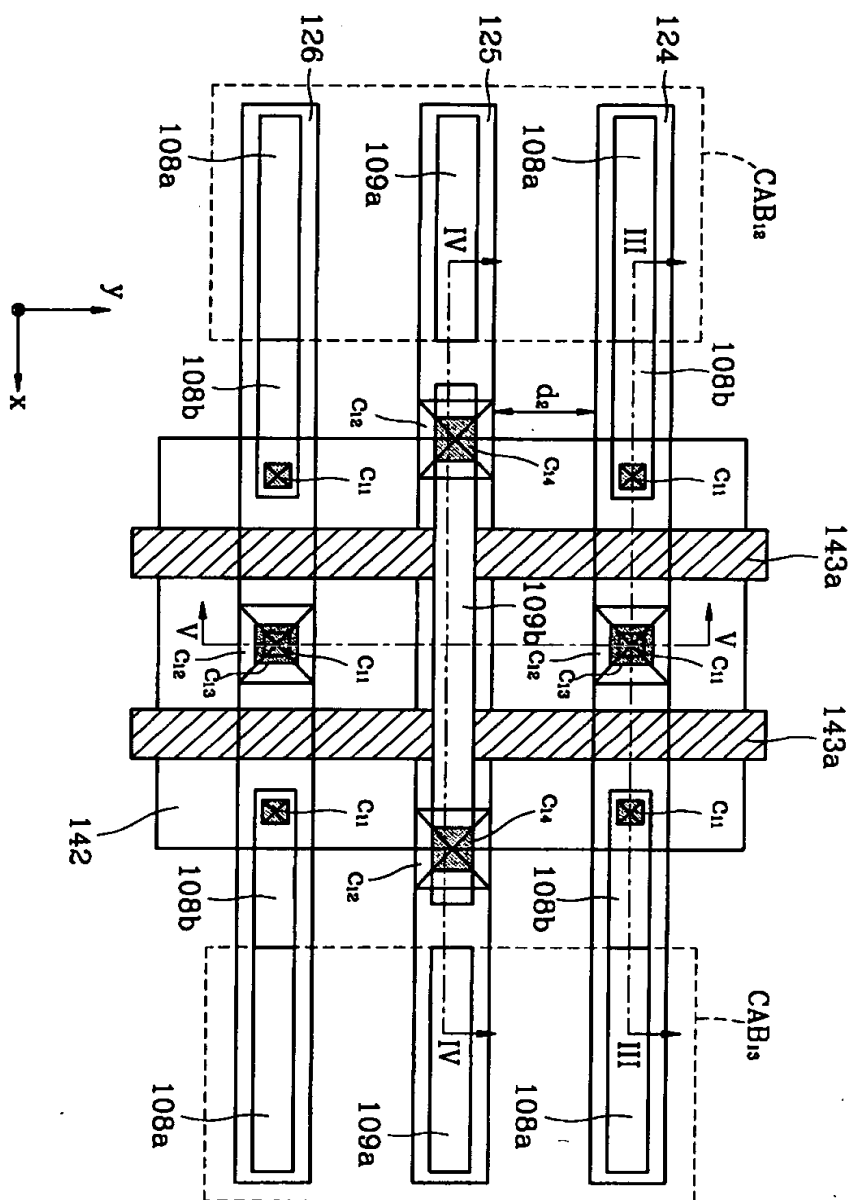
【도 4c】



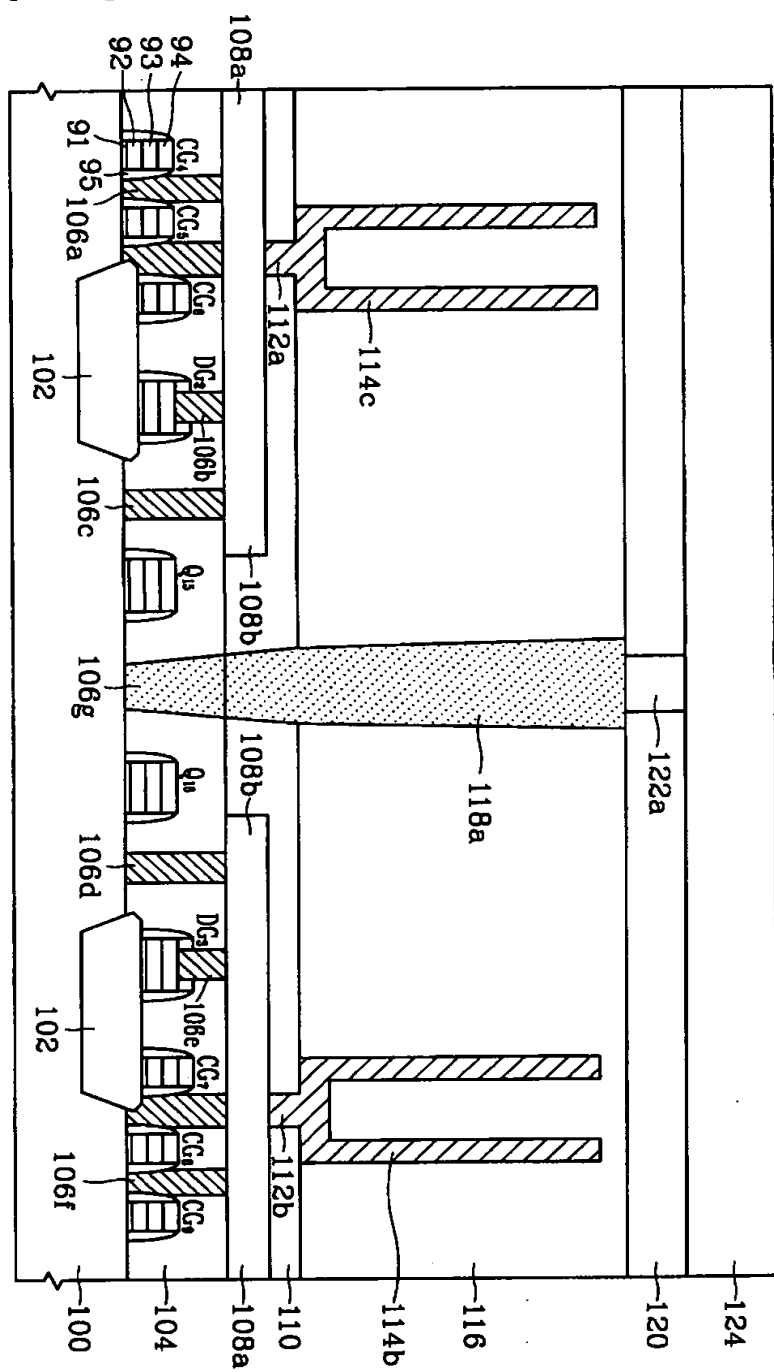
【표 5】



【도 6】



【図 7a】













【도 8c】

